

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05198570 A**

(43) Date of publication of application: **06 . 08 . 93**

(51) Int. Cl.

H01L 21/316
H01L 21/76

(21) Application number: **04236800**

(22) Date of filing: **04 . 09 . 92**

(30) Priority: **01 . 10 . 91 JP 03253472**

(71) Applicant: **HITACHI LTD HITACHI VLSI ENG CORP**

(72) Inventor:
HASHIMOTO NAOTAKA
YAMANAKA TOSHIKI
HASHIMOTO KOJI
SHIMIZU AKIHIRO
OOKI NAGATOSHI
ISHIDA HIROSHI

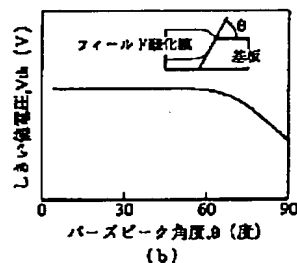
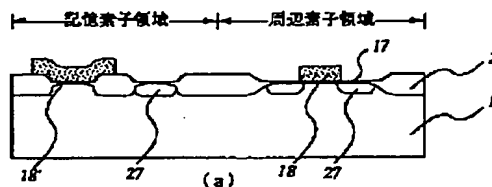
**(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND ITS MANUFACTURE**

(57) Abstract:

PURPOSE: To provide a semiconductor integrated circuit device which suppresses a kink current of a MOS transistor without deteriorating a connecting characteristic of a diffusion layer and which has a semiconductor element having a channel width which prevents lowering of a threshold value voltage.

CONSTITUTION: This is such a semiconductor integrated circuit device that an angle at which a lower surface of an end of a field oxide film 2 in a peripheral element region is placed against the surface of a semiconductor substrate 1 is small as compared with that of a memory element region. The semiconductor integrated circuit device is an element having a narrow channel width, and it raises a substrate surface density or thickens a gate insulating film thickness.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-198570

(43)公開日 平成 5 年(1993) 8 月 6 日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316				
21/76	M	9169-4M	H 0 1 L 21/ 94	A
		7342-4M		

審査請求 未請求 請求項の数30(全 15 頁)

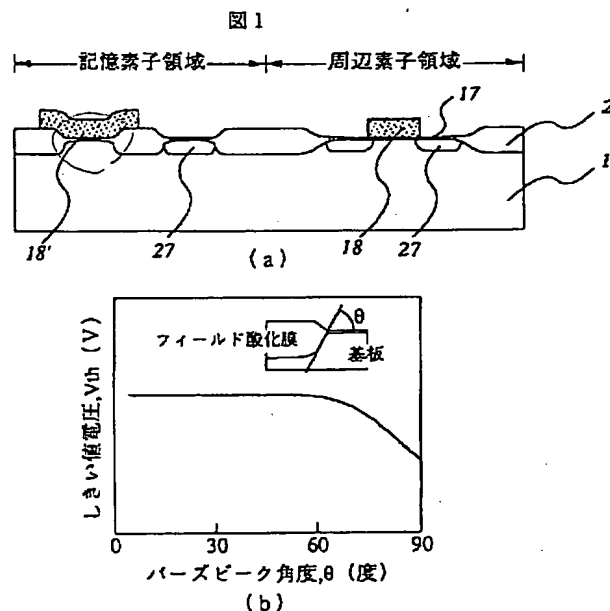
(21)出願番号 特願平4-236800	(71)出願人 000005108
(22)出願日 平成 4 年(1992) 9 月 4 日	株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(31)優先権主張番号 特願平3-253472	(71)出願人 000233468
(32)優先日 平 3 (1991)10 月 1 日	日立超エル・エス・アイ・エンジニアリン グ株式会社
(33)優先権主張国 日本 (J P)	東京都小平市上水本町 5 丁目 20 番 1 号
	(72)発明者 橋本 直孝
	東京都国分寺市東恋ヶ窪 1 丁目 280 番地株 式会社日立製作所中央研究所内
	(74)代理人 弁理士 薄田 利幸
	最終頁に続く

(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【目的】拡散層の接合特性を劣化させることなく、M O S トランジスタのキンク電流を抑制した半導体集積回路装置を提供すること。しきい値電圧の低下を防止したチャネル幅の狭い半導体素子を有する半導体集積回路装置を提供すること。

【構成】周辺素子領域のフィールド酸化膜 2 の端部下面が半導体基板 1 の表面に対してなす角度が、記憶素子領域のそれに比べて小さい半導体集積回路装置。チャネル幅の狭い素子で、基板表面濃度を上げるか、ゲート絶縁膜厚を厚くした半導体集積回路装置。



1 … 半導体基板	1 8、1 8' … ゲート電極
2 … フィールド酸化膜	2 7 … 拡散層
1 7 … ゲート絶縁膜	

【特許請求の範囲】

【請求項1】記憶素子群が設けられた記憶素子領域と周辺素子群が設けられた周辺素子領域とそれぞれの領域内の各素子間の分離用絶縁膜とを有する半導体集積回路装置において、上記周辺素子領域の上記分離用絶縁膜の端部下面の基板表面に対してなす角度は、上記記憶素子領域のそれに比べて小さいことを特徴とする半導体集積回路装置。

【請求項2】請求項1記載の半導体集積回路装置において、上記周辺素子領域の上記分離用絶縁膜の端部下面の基板表面に対してなす角度は、60度以下であることを特徴とする半導体集積回路装置。

【請求項3】記憶素子群が設けられた記憶素子領域と周辺素子群が設けられた周辺素子領域とそれぞれの領域内の各素子間の分離用絶縁膜とを有する半導体集積回路装置において、上記周辺素子領域の上記分離用絶縁膜の端部下面の基板表面に対してなす角度は、60度以下であることを特徴とする半導体集積回路装置。

【請求項4】請求項1から3のいずれかに記載の半導体集積回路装置において、上記記憶素子領域の半導体基板表面不純物濃度は、上記周辺素子領域のそれより高いことを特徴とする半導体集積回路装置。

【請求項5】請求項1から4のいずれかに記載の半導体集積回路装置において、上記記憶素子領域に設けられたゲート絶縁膜の膜厚は、上記周辺素子領域のそれより厚いことを特徴とする半導体集積回路装置。

【請求項6】記憶素子群が設けられた記憶素子領域と周辺素子群が設けられた周辺素子領域とそれぞれの領域内の各素子間の分離用絶縁膜とを有する半導体集積回路装置において、上記記憶素子領域の半導体基板表面不純物濃度は、上記周辺素子領域のそれより高いことを特徴とする半導体集積回路装置。

【請求項7】記憶素子群が設けられた記憶素子領域と周辺素子群が設けられた周辺素子領域とそれぞれの領域内の各素子間の分離用絶縁膜とを有する半導体集積回路装置において、上記記憶素子領域に設けられたゲート絶縁膜の膜厚は、上記周辺素子領域のそれより厚いことを特徴とする半導体集積回路装置。

【請求項8】半導体基板上に所望の形状の耐酸化性絶縁膜を形成し、該耐酸化性絶縁膜をマスクとして該半導体基板の露出部を選択的に酸化し、素子間の分離用絶縁膜を形成する半導体集積回路装置の製造方法において、上記酸化は、周辺回路素子群が設けられる周辺素子領域に形成される上記分離用絶縁膜の端部の基板表面と実質的に並行な方向の延びが、記憶素子群が設けられる記憶素子領域のそれより長くなるように行なうことを特徴とする半導体集積回路装置の製造方法。

【請求項9】半導体基板上に所望の形状の耐酸化性絶縁膜を形成し、該耐酸化性絶縁膜をマスクとして該半導体基板の露出部を選択的に酸化し、素子間の分離用絶縁膜

を形成する半導体集積回路装置の製造方法において、上記酸化は、周辺回路素子群が設けられる周辺素子領域に形成される上記分離用絶縁膜の端部下面の基板表面に対してなす角度が、記憶素子群が設けられる記憶素子領域のそれより小さくなるように行なうことを特徴とする半導体集積回路装置の製造方法。

【請求項10】請求項8又は9記載の半導体集積回路装置の製造方法において、上記耐酸化性絶縁膜の形成の前に、上記半導体基板上に酸化膜を形成する工程を有し、該酸化膜を形成する工程は、上記周辺素子領域の該酸化膜の膜厚を上記記憶素子領域のそれより厚くするように行うことを特徴とする半導体集積回路装置の製造方法。

【請求項11】請求項8又は9記載の半導体集積回路装置の製造方法において、上記耐酸化性絶縁膜の形成の前に、上記周辺素子領域にのみ上記半導体基板上に酸化膜を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項12】請求項8又は9記載の半導体集積回路装置の製造方法において、上記周辺素子領域の上記耐酸化性絶縁膜の膜厚を上記記憶素子領域のそれより薄くすることを特徴とする半導体集積回路装置の製造方法。

【請求項13】請求項8又は9記載の半導体集積回路装置の製造方法において、上記記憶素子領域の上記耐酸化性絶縁膜の形成は、その中心部が上記半導体基板上に設けられた酸化膜の上に、その周辺部が上記半導体基板に接するように行うことを特徴とする半導体集積回路装置の製造方法。

【請求項14】半導体基板上に第1の酸化膜を形成する工程と、記憶素子群が設けられる記憶素子領域の該第1の酸化膜を選択的に除去する工程と、半導体基板上に第2の酸化膜を形成し、周辺素子群が設けられる周辺素子領域上の酸化膜を記憶素子領域上のそれよりも厚くする工程と、該第2の酸化膜上に耐酸化性絶縁膜を堆積し、該耐酸化性絶縁膜を素子分離領域のみ選択的に除去する工程と、該耐酸化性絶縁膜をマスクとして半導体基板の選択酸化を行い、素子分離領域に分離用絶縁膜を形成する工程とを具備し、上記周辺素子領域に形成される上記分離用絶縁膜の端部の基板表面と実質的に並行な方向の延びを上記記憶素子領域のそれより長くすることを特徴とする半導体集積回路装置の製造方法。

【請求項15】半導体基板上に第1の酸化膜を形成する工程と、記憶素子群が設けられる記憶素子領域の該第1の酸化膜を選択的に除去する工程と、半導体基板上に第2の酸化膜を形成し、周辺素子群が設けられる周辺素子領域上の酸化膜を記憶素子領域上のそれよりも厚くする工程と、該第2の酸化膜上に耐酸化性絶縁膜を堆積し、該耐酸化性絶縁膜を素子分離領域のみ選択的に除去する工程と、該耐酸化性絶縁膜をマスクとして半導体基板の選択酸化を行い、素子分離領域に分離用絶縁膜を形成する工程とを具備し、上記周辺素子領域の上記分離用絶縁

膜の端部下面の基板表面に対してなす角度を上記記憶素子領域のそれに比べて小さくすることを特徴とする半導体集積回路装置の製造方法。

【請求項16】半導体基板上に酸化膜を形成する工程と、記憶素子群が設けられる記憶素子領域の該酸化膜を選択的に除去し、周辺素子群が設けられる周辺素子領域上に該酸化膜を残す工程と、耐酸化性絶縁膜を堆積し、該耐酸化性絶縁膜を素子分離領域のみ選択的に除去する工程と、該耐酸化性絶縁膜をマスクとして半導体基板の選択酸化を行い、素子分離領域に分離用絶縁膜を形成する工程とを具備し、上記周辺素子領域に形成される上記分離用絶縁膜の端部の基板表面と実質的に並行な方向の延びを上記記憶素子領域のそれより長くすることを特徴とする半導体集積回路装置の製造方法。

【請求項17】半導体基板上に酸化膜を形成する工程と、記憶素子群が設けられる記憶素子領域の該酸化膜を選択的に除去し、周辺素子群が設けられる周辺素子領域上に該酸化膜を残す工程と、耐酸化性絶縁膜を堆積し、該耐酸化性絶縁膜を素子分離領域のみ選択的に除去する工程と、該耐酸化性絶縁膜をマスクとして半導体基板の選択酸化を行い、素子分離領域に分離用絶縁膜を形成する工程とを具備し、上記周辺素子領域の上記分離用絶縁膜の端部下面の基板表面に対してなす角度を上記記憶素子領域のそれに比べて小さくすることを特徴とする半導体集積回路装置の製造方法。

【請求項18】半導体基板上に酸化膜を形成する工程と、該酸化膜上に第1の耐酸化性絶縁膜を堆積する工程と、周辺回路素子群が設けられる周辺素子領域の該第1の耐酸化性絶縁膜を選択的に除去する工程と、第2の耐酸化性絶縁膜を堆積することにより記憶素子群が設けられる記憶素子領域の耐酸化性絶縁膜を周辺素子領域のそれより厚くする工程と、素子分離領域の第1及び第2の耐酸化性絶縁膜を除去し、該耐酸化性絶縁膜をマスクとして半導体基板の選択酸化し、素子分離領域に分離用絶縁膜を形成する工程とを具備し、上記周辺素子領域に形成される上記分離用絶縁膜の端部の基板表面と実質的に並行な方向の延びを上記記憶素子領域のそれより長くすることを特徴とする半導体集積回路装置の製造方法。

【請求項19】半導体基板上に酸化膜を形成する工程と、該酸化膜上に第1の耐酸化性絶縁膜を堆積する工程と、周辺回路素子群が設けられる周辺素子領域の該第1の耐酸化性絶縁膜を選択的に除去する工程と、第2の耐酸化性絶縁膜を堆積することにより記憶素子群が設けられる記憶素子領域の耐酸化性絶縁膜を周辺素子領域のそれより厚くする工程と、素子分離領域の第1及び第2の耐酸化性絶縁膜を除去し、該耐酸化性絶縁膜をマスクとして半導体基板の選択酸化し、素子分離領域に分離用絶縁膜を形成する工程とを具備し、上記周辺素子領域の上記分離用絶縁膜の端部下面の基板表面に対してなす角度を上記記憶素子領域のそれに比べて小さくすることを特

徴とする半導体集積回路装置の製造方法。

【請求項20】半導体基板上の周辺回路素子群が設けられる周辺素子領域と、記憶素子群が設けられる記憶素子領域とに、それぞれ異なる方法を用いかつ所望の順に素子間の分離用絶縁膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項21】請求項20記載の半導体集積回路装置の製造方法において、上記周辺素子領域の分離用絶縁膜の形成は、上記半導体基板上に所望の形状の耐酸化性絶縁膜を設け、該耐酸化性絶縁膜をマスクとして半導体基板の露出部を選択的に酸化して行い、上記記憶素子領域の分離用絶縁膜の形成は、所望の位置に溝を設け、該溝内を絶縁物で埋めることによって行うことを特徴とする半導体集積回路装置の製造方法。

【請求項22】半導体基板上に第1の酸化膜を形成し、ついで第1の耐酸化性絶縁膜を堆積する工程と、素子分離領域のみ該第1の耐酸化性絶縁膜を除去する工程と、ホトレジストで周辺素子群が設けられる周辺素子領域を覆い、該ホトレジスト及び第1の耐酸化性絶縁膜をマスクとして記憶素子群が設けられる記憶素子領域の露出した上記第1の酸化膜を除去し、露出した半導体基板をエッチングし、素子分離溝を形成する工程と、上記ホトレジストを除去した後、該素子分離溝内に第2の酸化膜を形成し、ついで第2の耐酸化性絶縁膜を全面に堆積する工程と、該素子分離溝が充分埋まる厚さの熱流動性絶縁膜を形成する工程と、該熱流動性絶縁膜をエッチバックして素子分離溝内にのみ残存させる工程と、周辺素子領域の露出した上記第2の耐酸化性絶縁膜を選択的に除去する工程と、上記第1の耐酸化性絶縁膜をマスクとして上記半導体基板の選択酸化を行い、周辺素子領域の素子分離領域に分離用絶縁膜を形成する工程とを具備したことを特徴とする半導体集積回路装置の製造方法。

【請求項23】請求項22記載の半導体集積回路装置の製造方法において、上記選択酸化は、上記周辺素子領域の上記分離用絶縁膜の端部下面の基板表面に対してなす角度を60度以下とするように行うことを特徴とする半導体集積回路装置の製造方法。

【請求項24】半導体基板上に第1の酸化膜を形成する第1の工程、第1の酸化膜上に第1の耐酸化性絶縁膜を堆積した後、素子分離領域の第1の耐酸化性絶縁膜を選択的に除去する第2の工程と、周辺素子群が設けられる周辺素子領域をホトレジスト膜で覆う第3の工程と、ホトレジスト膜と第1の耐酸化性絶縁膜をマスクとして、記憶素子群が設けられる記憶素子領域の第1の酸化膜及び第1の耐酸化性絶縁膜周辺部の下の第1の酸化膜を除去する第4の工程と、ホトレジスト膜を除去した後、全面に第2の耐酸化性絶縁膜を堆積する第5の工程と、異方性のドライエッチングにより素子分離領域の第2の耐酸化性絶縁膜を除去し、第1の耐酸化性絶縁膜の側面及び記憶素子領域の第1の耐酸化性絶縁膜の周辺部の下部

に第2の耐酸化性絶縁膜を残存させる第6の工程と、第1及び第2の耐酸化性絶縁膜をマスクとして半導体基板を選択酸化し、素子分離領域に分離用絶縁膜を形成する第7の工程とを具備し、上記周辺素子領域に形成される上記分離用絶縁膜の端部の基板表面と実質的に並行な方向の延びを上記記憶素子領域のそれより長くすることを特徴とする半導体集積回路装置の製造方法。

【請求項25】半導体基板上に第1の酸化膜を形成する第1の工程、第1の酸化膜上に第1の耐酸化性絶縁膜を堆積した後、素子分離領域の第1の耐酸化性絶縁膜を選択的に除去する第2の工程と、周辺素子群が設けられる周辺素子領域をホトレジスト膜で覆う第3の工程と、ホトレジスト膜と第1の耐酸化性絶縁膜をマスクとして、記憶素子群が設けられる記憶素子領域の第1の酸化膜及び第1の耐酸化性絶縁膜周辺部の下の第1の酸化膜を除去する第4の工程と、ホトレジスト膜を除去した後、全面に第2の耐酸化性絶縁膜を堆積する第5の工程と、異方性のドライエッチングにより素子分離領域の第2の耐酸化性絶縁膜を除去し、第1の耐酸化性絶縁膜の側面及び記憶素子領域の第1の耐酸化性絶縁膜の周辺部の下部に第2の耐酸化性絶縁膜を残存させる第6の工程と、第1及び第2の耐酸化性絶縁膜をマスクとして半導体基板を選択酸化し、素子分離領域に分離用絶縁膜を形成する第7の工程とを具備し、上記周辺素子領域の上記分離用絶縁膜の端部下面の基板表面に対してなす角度を上記記憶素子領域のそれに比べて小さくすることを特徴とする半導体集積回路装置の製造方法。

【請求項26】請求項24又は25記載の半導体集積回路装置の製造方法において、上記第4の工程の後、かつ第5の工程の前に、露出した半導体基板を熱窒化する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項27】請求項24又は25記載の半導体集積回路装置の製造方法において、上記第6の工程の後、かつ第7の工程の前に、上記素子分離領域の半導体基板表面に、深さが0.2 μ m以下の溝を設けることを特徴とする半導体集積回路装置の製造方法。

【請求項28】少なくとも半導体基板上の周辺回路素子群が設けられる周辺素子領域と、記憶素子群が設けられる記憶素子領域とに、不純物を導入する工程と、記憶素子領域にのみ不純物を導入する工程とを所望の順に行い、記憶素子領域の半導体基板表面不純物濃度を周辺素子領域のそれより高くすることを特徴とする半導体集積回路装置の製造方法。

【請求項29】半導体基板上の周辺回路素子群が設けられる周辺素子領域に所望の量の不純物を導入する工程と、該半導体基板上の記憶素子群が設けられる記憶素子領域に該所望の量よりも多い量の不純物を導入する工程とを所望の順に行い、記憶素子領域の半導体基板表面不純物濃度を周辺素子領域のそれより高くすることを特徴

とする半導体集積回路装置の製造方法。

【請求項30】半導体基板の周辺回路素子群が設けられる周辺素子領域と記憶素子群が設けられる記憶素子領域とに素子間の分離用絶縁膜を形成する工程と、周辺素子領域及び記憶素子領域に第1のゲート絶縁膜を形成する工程と、周辺素子領域の第1のゲート絶縁膜を除去する工程と、周辺素子領域及び記憶素子領域に第2のゲート絶縁膜を形成する工程とを具備し、記憶素子領域に設けられたゲート絶縁膜の膜厚を周辺素子領域のそれより厚くすることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、微細な半導体素子を有する半導体集積回路装置及びその製造方法に関する。

【0002】

【従来の技術】従来の半導体集積回路装置においては、記憶素子群が設けられた記憶素子領域及びその周辺の素子群が設けられた周辺素子領域とも同じ素子分離技術を用いて選択酸化膜（分離用絶縁膜）を形成していた。そのため最も微細な記憶素子領域を実現するために、いかに選択酸化膜形成時の選択酸化膜の横方向への延び（バースピーク）を抑えるかが大きな問題となっていた。しかしながら、このバースピークを抑えたこと及び素子の微細化を実現するために半導体基板の不純物濃度を高濃度化したことに伴い、素子領域と素子分離領域の境界へ寄生的に形成されたチャネルに流れるリーク電流が原因で、MOSトランジスタのサブスレッショルド特性上にキックが顕在化してきた。これは見掛け上しきい値電圧の低いMOSトランジスタが並列に接続されたような特性である。このキックという現象はチャネル幅の広い素子で観察され、チャネル幅の狭い素子においてはしきい値電圧の低下といった形で現われる。

【0003】このキックの対策のため、例えば特開平2-237158に述べられているように、前記キック電流の流れる素子端部の不純物濃度を局所的に高くし、キック電流の発生を抑制する方法が用いられている。これを図10を用いて、詳細に説明する。ここでは溝型素子分離を用いており、素子分離領域に形成された溝内には、フィールド酸化膜2が埋め込まれている。また素子領域上には薄い酸化膜3を介して厚い多結晶硅素膜19があり、これが硼素（B）イオン打ち込みのマスクとなっている。硼素は半導体基板1に対して垂直にイオン打ち込みされ、イオン打ち込みの深さを調整し、その時の横方向散乱によって素子端部に半導体基板1より高濃度のp層15を形成している。またフィールド酸化膜2下のp層は素子分離のバンチスルーストップ層20である。

【0004】また他のキックの対策として、例えば特開平2-303049に述べられているように、ゲート電

極が交差する素子領域端部における素子分離溝の側面に傾斜を与える方法が用いられている。これを図11を用いて説明する。この従来例においては、半導体基板表面に素子分離溝をドライエッチングで形成する際に、励起用エネルギービームを一定方向に振ることによって、その方向の素子分離溝側面23を半導体基板表面21に対して垂直とし、他の素子分離溝側面22には傾斜を持たせている。またこの傾斜を持った面にゲート電極18を交差させることによりキंकの発生を抑制している。ここで24は、素子分離溝の底面である。また素子分離溝内には、絶縁膜が埋め込まれている。

【0005】一方、キंकが発生しないまでも、バースピークの短い素子分離を有するチャネル幅の狭い素子では、素子全域がキंक電流発生領域となり、逆狭チャネル効果と称される図13(a)に示すような、しきい値電圧の低下といった問題があった。

【0006】

【発明が解決しようとする課題】上記従来のものである技術は、図10に示すように、局所的に素子端部のp層15の不純物濃度を上げるために、キंक電流は抑制されるものの、ソース・ドレイン拡散層と半導体基板1の間の接合特性が劣化し、接合耐圧の低下や拡散層リーク電流の増加を招くといった問題があった。これにより記憶装置においては、記憶保持特性の劣化や消費電流の増加といった問題が生じる。特に半導体集積回路の高集積化のためには半導体基板1の不純物濃度を上げる必要があり、これに伴って素子端部のp層15の不純物濃度も上げなければならない。そのため前記接合特性は、さらに劣化するといった問題を生じた。

【0007】また、上記従来のものである技術は、素子分離溝側面の傾斜を励起用エネルギービームを一定方向に振ることによって制御している。そのため、溝側壁の一定方向の側面23は必ず基板表面21に対して垂直と成っている。そのため、完全なキंकの対策を行うことはできない。なぜならば、多くの場合、半導体集積回路装置は複数の素子からなり、それぞれのゲート電極18の方向が必ずしも一定ではないためである。従って、垂直な側面23に対してゲート電極18が交差し、一部の素子ではキंक発生の問題が解決されていない。仮にこれをゲート電極方向を一定にすることで回避する場合、レイアウト上かなりの制約を受け、チップ寸法が増加するといった問題を生じる。

【0008】また、上記逆狭チャネル効果の生じるチャネル幅の狭い素子は、主に記憶素子領域に設けられている。そのため、しきい値電圧低下に伴いMOSトランジスタのオフ（ゲート電圧0V）電流が増加し、記憶保持特性の劣化や消費電流の増加といった問題があった。

【0009】本発明の第1の目的は、拡散層の接合特性を劣化させることなく、MOSトランジスタのキंक電流を抑制した半導体集積回路装置及びその製造方法を提

供することにある。

【0010】本発明の第2の目的は、しきい値電圧の低下を防止した、チャネル幅の狭い半導体素子を有する半導体集積回路装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記第1の目的を達成するために、本発明の半導体集積回路装置は、記憶素子群が設けられた記憶素子領域と周辺素子群が設けられた周辺素子領域とを有する半導体集積回路装置の周辺素子領域に設けられた各素子間の分離用絶縁膜の端部下面の基板表面に対してなす角度を記憶素子領域のそれに比べて小さくするように構成する。また、本発明の半導体集積回路装置は、記憶素子群が設けられた記憶素子領域と周辺素子群が設けられた周辺素子領域とを有する半導体集積回路装置の周辺素子領域に設けられた各素子間の分離用絶縁膜の端部下面の基板表面に対してなす角度を60度以下にするように構成する。

【0012】上記第2の目的を達成するために、本発明の半導体集積回路装置は、記憶素子群が設けられた記憶素子領域と周辺素子群が設けられた周辺素子領域とを有する半導体集積回路装置の記憶素子領域の半導体基板表面不純物濃度を周辺素子領域のそれより高くするように構成する。また、本発明の半導体集積回路装置は、記憶素子群が設けられた記憶素子領域と周辺素子群が設けられた周辺素子領域とを有する半導体集積回路装置の記憶素子領域に設けられたゲート絶縁膜の膜厚を周辺素子領域のそれより厚くするように構成する。この半導体集積回路装置においても、記憶素子領域と周辺素子領域のそれぞれの領域内に設けられた各素子間の分離用絶縁膜を上記のような状態にすることが好ましい。

【0013】また、上記第1の目的を達成するために、本発明の半導体集積回路装置の製造方法は、半導体基板上に所望の形状の耐酸化性絶縁膜を形成し、これをマスクとして半導体基板の露出部を選択的に酸化し、素子間の分離用絶縁膜を形成するときに、周辺回路素子群が設けられる周辺素子領域に形成される分離用絶縁膜の端部の基板表面と実質的に並行な方向の延びが、記憶素子群が設けられる記憶素子領域のそれより長くなるように酸化する方法を用いる。また、本発明の半導体集積回路装置の製造方法は、半導体基板上に所望の形状の耐酸化性絶縁膜を形成し、これをマスクとして半導体基板の露出部を選択的に酸化し、素子間の分離用絶縁膜を形成するときに、周辺素子領域に形成される分離用絶縁膜の端部下面の基板表面に対してなす角度が、記憶素子群が設けられる記憶素子領域のそれより小さくなるように酸化する方法を用いる。

【0014】これらの半導体集積回路装置の製造方法をより詳しく説明すると、例えば、耐酸化性絶縁膜の下に酸化膜を形成しておき、周辺素子領域の酸化膜の膜厚を

記憶素子領域のそれより厚くして、上記の酸化を行う方法を用いることができる。また、周辺素子領域にのみ耐酸化性絶縁膜の下に酸化膜を形成して酸化を行ってもよい。さらにまた、周辺素子領域の耐酸化性絶縁膜の膜厚を記憶素子領域のそれより薄くして酸化を行ってもよい。

【0015】また、本発明の半導体集積回路装置の製造方法は、半導体基板上の周辺回路素子群が設けられる周辺素子領域と、記憶素子群が設けられる記憶素子領域とに、それぞれ異なる方法を用いかつ所望の順に素子間の分離用絶縁膜を形成することによっても上記第1の目的を達成することができる。この方法としては、例えば、周辺素子領域の分離用絶縁膜の形成は、半導体基板上に所望の形状の耐酸化性絶縁膜を設け、これをマスクとして半導体基板の露出部を選択的に酸化して行い、記憶素子領域の分離用絶縁膜の形成は、所望の位置に溝を設け、溝内を絶縁物で埋めることによって行う方法を用いることができる。周辺素子領域の分離用絶縁膜は、その端部下面の基板表面に対してなす角度を60度以下とするように酸化することが好ましい。

【0016】これらのいずれの場合にも、選択的な酸化の前に予めその部分の半導体基板表面に、深さが0.2 μm 以下の溝を設けてから選択酸化することが素子分離が良好となるので好ましい。この溝の深さは、0.05 μm から0.2 μm の範囲であることが好ましい。

【0017】また、上記第2の目的を達成するために、本発明の半導体集積回路装置の製造方法は、半導体基板上の周辺回路素子群が設けられる周辺素子領域と、記憶素子群が設けられる記憶素子領域との両方の領域に、不純物を導入する工程と、記憶素子領域にのみ不純物を導入する工程とを所望の順に行うか、或いは、周辺素子領域に所望の量の不純物を導入する工程と、記憶素子領域にこの所望の量よりも多い量の不純物を導入する工程とを所望の順に行って、記憶素子領域の半導体基板表面不純物濃度を周辺素子領域のそれより高くするように構成する。

【0018】また、上記第2の目的を達成するために、本発明の半導体集積回路装置の製造方法は、周辺素子領域及び記憶素子領域に第1のゲート絶縁膜を形成する工程と、周辺素子領域の第1のゲート絶縁膜を除去する工程と、周辺素子領域及び記憶素子領域に第2のゲート絶縁膜を形成する工程とにより、記憶素子領域に設けられたゲート絶縁膜の膜厚を周辺素子領域のそれより厚くするように構成する。

【0019】

【作用】図12に示すように、MOSトランジスタのゲート電極18によって誘起されるポテンシャルの等電位線16は、フィールド酸化膜2の中では深くまで分布し、半導体基板1の中では表面に分布する。素子端部においては、この両者中の分布が互いに影響し合い、ポテ

ンシャルの等電位線16は否んだ分布と成る。特に図12(a)に示すようなパースピークの短い場合においては、素子端部における電位分布16の曲率半径が小さく、局所的に電位が上昇し、キンク電流の発生原因となっている。

【0020】これに対し、本発明のようにパースピークを延ばした図12(b)の構造においては、素子端部において電位分布16は緩やかで局所的な電位の上昇がなくなり、キンク電流が抑制される。ここでのパースピークを延ばすということは、パースピークの形状を緩やかにすることである。

【0021】また本発明においては、記憶素子領域のパースピークは延ばさないようにしている。仮に周辺が広い素子分離で覆われた素子が孤立して存在した場合、図13(a)に示すように、その素子のしきい値電圧はチャネル幅が狭いほどキンクによって低下する。しかし図13(b)に示すように、周辺の素子分離長が短くなるとキンクによって生じたしきい値電圧の低下は改善される。そのため、最小間隔で素子領域と素子分離領域が配置される記憶素子領域においては、これら両者の特性を合わせ持つが、素子分離長の影響が強く、素子分離絶縁膜の側面が基板表面に対し垂直であってもキンクが抑制され、しきい値電圧の低下は小さい。従ってキンクの対策は、周辺素子領域を主に行えばよく、記憶素子領域においては、基板表面濃度を上げるかゲート絶縁膜膜厚を厚くする程度で、しきい値電圧の低下が防止できる。

【0022】

【実施例】以下に図面を用いて、本発明の実施例を詳細に説明する。図1(a)は、本発明を適用した半導体集積回路装置におけるゲート電極18、18'及びソース・ドレイン拡散層27形成時の断面構造であり、図中右側が周辺素子領域で、図中左側の記憶素子領域に比べ、半導体基板1主面上に形成されたフィールド酸化膜2の端部、すなわちパースピークの部分の形状が緩やかとなっている。この形状の効果を図1(b)を用いて説明する。ここでは、素子領域となる基板表面に対するフィールド酸化膜のパースピーク下面の角度に対するMOSトランジスタのしきい値電圧の変化を示している。この結果において、パースピーク角度が60度を超えるとキンクが発生し、しきい値電圧を低下させている。従って、パースピークを延ばすことにより、この角度を60度以下にすれば、キンクを防止することが出来る。この構造を実現するための種々の方法について以下に説明する。

【0023】〈実施例1〉まず選択酸化時のマスクとなる耐酸化性絶縁膜下の酸化膜厚を変える場合について説明する。図2は、本発明の第1の実施例の製造工程断面図である。まず図2(a)に示すように、基板の不純物濃度が $10^{11}/\text{cm}^3$ 程度の半導体基板1の主面上に、熱酸化法により厚さ10nm程度の酸化膜3を形成する。つぎに周辺素子領域を覆うようなホトレジスト4の

パターンを形成し、これをマスクとして記憶素子領域の酸化膜3を除去する。

【0024】ついで一旦上記ホトレジスト4を除去した後、図2(b)に示すように再度熱酸化を施し、記憶素子領域に厚さ10nm程度の熱酸化膜を形成する。これにより半導体基板1の主面上の酸化膜3の膜厚は、記憶素子領域で10nm、周辺素子領域で約14nmとなる。ついで化学気相成長法により耐酸化性絶縁膜である窒化珪素膜5を厚さ約150nm堆積し、これを公知のリソグラフィとドライエッチングによりパターンニングし、素子分離領域の前記窒化珪素膜5を除去する。これにより、選択酸化膜形成時のマスクとなる窒化珪素膜5下の酸化膜3の膜厚は、記憶素子領域よりも周辺素子領域で厚くなる。

【0025】次いで図2(c)に示すように、窒化珪素膜5をマスクとした選択酸化を施し、素子分離領域に厚さ400nm程度のフィールド酸化膜2を形成すると、フィールド酸化膜2の横方向への伸び(バズピーク)は記憶素子領域よりも周辺素子領域で長くすることが出来る。これは周辺素子領域で窒化珪素膜5下の酸化膜3の膜厚が厚く、酸化剤(酸素)の通路が広いために、酸化剤が奥まで拡散しやすくなるためである。

【0026】あとは従来のMIS型電界効果トランジスタの製造方法に従い、窒化珪素膜5を熱リン酸で選択的に除去したのち、図2(d)に示すように半導体基板1の主面上にゲート絶縁膜17を形成し、ついでゲート電極18、18'及びソース・ドレインの拡散層27を形成する。以後は層間膜及び配線電極などを形成するが、本発明には直接関係しないため図面では割愛する。

【0027】ここで半導体基板1主面上に形成した酸化膜3は、化学気相成長法によって堆積した酸化膜であってもよい。本実施例によれば、記憶素子領域のフィールド酸化膜2の横方向への伸びは片側約0.1 μ mで、その端部下面が基板表面に対してなす角度(以下、単に下面の角度という)は約70度、周辺素子領域のその伸びが片側約0.3 μ mで下面の角度は約50度である。

【0028】〈実施例2〉図3は、本発明の第2の実施例の製造工程断面図を示したものである。本発明の製造工程は、第1の実施例で示した図2とほぼ同様である。ただし、本発明の第1の実施例との違いは、図2(b)における記憶素子領域の窒化珪素膜5下の酸化膜形成を省略している。そのため図3(b)に示すように、記憶素子領域において窒化珪素膜5下には酸化膜3は存在しない。

【0029】本発明によれば、図3(c)に示すように、フィールド酸化膜2の横方向への伸びは、酸化膜3の膜厚を10nmとすれば、記憶素子領域で片側ほぼ0 μ m、周辺素子領域で片側約0.1 μ mとなる。これにより、両者でのフィールド酸化膜2の横方向への伸びを、第1の実施例に比べ短くすることができる。但しこ

れでは周辺素子領域のバズピークの下面の角度が約70度となるため、キंकは抑制できない。ここで、図3(a)において形成する酸化膜3の膜厚を14nm程度とすれば、記憶素子領域でフィールド酸化膜2の横方向への伸びは片側ほぼ0 μ mで下面の角度はほぼ90度、周辺素子領域で伸びは片側約0.3 μ mで角度は約50度となりキंकを抑制できる。以後の製造工程の説明は、第1の実施例と同様であるため割愛する。

【0030】〈実施例3〉図4は、本発明の第3の実施例を示す製造工程断面図である。まず図4(a)に示すように、基板の不純物濃度が $10^{11}/\text{cm}^3$ 程度の半導体基板1の主面上に、熱酸化法により厚さ15nm程度の酸化膜3を形成する。ついで耐酸化性絶縁膜である窒化珪素膜5を化学気相成長法により150nm堆積し、これを公知のリソグラフィとドライエッチングによりパターンニングし、素子分離領域の窒化珪素膜5を除去する。

【0031】ついで周辺素子領域をホトレジスト(図示せず)で被覆し、記憶素子領域の素子分離領域から露出した酸化膜3を希釈したフッ酸水溶液等で除去する。このとき、記憶素子領域の窒化珪素膜5周辺部の下の酸化膜3も除去される。一旦先程のホトレジストを除去し、上記除去した酸化膜3の膜厚の半分以上の膜厚である20nmの薄い窒化珪素膜6を堆積し、図4(b)に示すような構造を得る。ここで薄い窒化珪素膜6の膜厚が酸化膜3の膜厚の半分より薄ければ窒化珪素膜5と半導体基板1との間に隙間が生じるため好ましくない。

【0032】次に薄い窒化珪素膜6を異方性のドライエッチングで除去し、図4(c)に示すように選択酸化のマスクとなる窒化珪素膜5の側壁にのみ先程の薄い窒化珪素膜6を残存させる。これにより、記憶素子領域においては窒化珪素膜6は直接半導体基板1と接し、周辺素子領域においては窒化珪素膜6の下には酸化膜3が存在する。これにより、選択酸化を行った際、記憶素子領域でフィールド酸化膜の横方向への伸びは、第2の実施例で示したように、ほぼ0 μ mで下面の角度としてはほぼ90度、周辺素子領域では伸びは約0.3 μ mで下面の角度としては約50度となる。以後の製造工程の説明は、第1の実施例と同様であるため割愛する。

【0033】本発明の第2の実施例との違いは、記憶素子領域の窒化珪素膜5は薄い窒化珪素膜6を介して周辺のみが直接半導体基板1と直接接していることである。一般にフィールド酸化膜形成後の窒化珪素膜の除去には煮沸したリン酸が用いられており、シリコン基板1との選択比が殆ど取れないため、窒化珪素膜とシリコン基板が接している領域ではシリコン基板が削られてしまう。しかし本実施例によれば、窒化珪素膜5、6を除去した後露出する半導体基板表面は、記憶素子領域の窒化珪素膜5周辺のみであり、リン酸によるシリコン基板1の削れを最小限に抑えることができる。

【0034】また本発明の第3に実施例に於て、図4(b)に示す薄い窒化珪素膜6の堆積前に、例えばアンモニア等の窒素を含む雰囲気中で例えば900℃で20分程度の熱処理を施すことで、露出した半導体基板1表面に形成された自然酸化膜を熱窒化膜に変換し、薄い窒化珪素膜6と半導体基板1との界面に自然酸化膜が介在するのを防止すれば、記憶素子領域におけるフィールド酸化膜の横方向への伸びを更に低減することができる。但し、自然酸化膜を熱窒化膜に変換する際に、周辺素子領域の素子分離領域における酸化膜3は自然酸化膜より十分厚いため、この酸化膜3が全て熱窒化膜に変換されることはない。

【0035】〈実施例4〉第3の実施例に示した薄い窒化珪素膜6の横方向への張出しを設けることが可能である。これを図5に示す第4の実施例によって説明する。この場合、図4(b)における窒化珪素膜6の異方性エッチングの前に、図5(a)に示すように化学気相成長法により厚さ150nm程度の酸化膜7を堆積する。

【0036】ついて図5(b)に示すように酸化膜7の異方性エッチングを施し、さらに窒化珪素膜5の側壁に残存した酸化膜8をマスクとして薄い窒化珪素膜6をエッチングすることにより、窒化珪素膜5の側壁に長さ約0.1μmの薄い窒化珪素膜6の張出しを設けることが出来る。ここでフィールド酸化を施す際には、一旦窒化珪素膜5側壁の酸化膜8を希釈したフッ酸水溶液等で除去する。この際、周辺素子領域においては薄い窒化珪素膜6下の露出した酸化膜3もエッチングされるが、化学気相成長法で形成した酸化膜8の方が熱酸化によって形成した酸化膜3よりもエッチング速度が数倍速いため、酸化膜3はさほどエッチングされることはない。

【0037】本実施例に於ても、前記したように、薄い窒化珪素膜6堆積前に半導体基板1表面に形成される自然酸化膜を熱窒化膜に変換することは、記憶素子領域におけるフィールド酸化膜の横方向への伸びを低減する上で有効である。本実施例によれば、フィールド酸化膜の横方向への伸びは、記憶素子領域において0μmとすることができ、周辺素子領域においては窒化珪素膜6の張り出しがあるため伸びは約0.2μmとなるが下面の角度は約50度である。

【0038】一方、これらの選択酸化によるフィールド酸化膜を形成する前に、少なくとも記憶素子領域において、窒化珪素膜5等をマスクにして素子分離領域から露出した半導体基板1に対し選択的に深さ0.1μm程度の溝を形成することにより、素子分離能力の向上を図ることが出来る。これは本発明の他の実施例においても同様である。ここで溝の深さが0.2μm以上となると、フィールド酸化膜形成の際に結晶欠陥が発生し易くなる。

【0039】上記第1から第4の実施例に示したように、フィールド酸化膜の横方向への伸び（パズピーク

の角度）の制御は、窒化珪素膜5かその下の酸化膜3の膜厚の違い、あるいはフィールド酸化膜2の膜厚やその酸化温度で可能となる。

【0040】〈実施例5〉次に選択酸化時のマスクとなる耐酸化性絶縁膜の膜厚を変える場合について説明する。図6は、本発明の第5の実施例を示す製造工程断面図である。まず図6(a)に示すように、基板の不純物濃度が $10^{11}/\text{cm}^3$ 程度の半導体基板1の主面上に、熱酸化法により厚さ10nm程度の酸化膜3を形成し、ついで化学気相成長法により厚さ100nm程度の窒化珪素膜5'を堆積する。つぎに記憶素子領域を覆うようなホトレジスト9のパターンを形成し、これをマスクとして周辺素子領域の窒化珪素膜5'を除去する。

【0041】ついて図6(b)に示すように、再度100nm程度の窒化珪素膜を堆積することにより、窒化珪素膜5の膜厚は、記憶素子領域で200nm、周辺素子領域で100nmとなる。この上にホトレジスト10でパターンを形成し、これをマスクとして素子分離領域の窒化珪素膜5をエッチングして除去する。

【0042】この後、一旦ホトレジスト10を除去し、図6(c)に示すような半導体基板1へ選択酸化を施すことにより素子分離領域にフィールド酸化膜2を形成する。この際周辺素子領域では、選択酸化のマスクとなる窒化珪素膜5の膜厚が100nmと薄いため、フィールド酸化膜の横方向への伸びを抑える力が弱く、その伸びは片側で約0.3μmで下面の角度は約50度である。これに対し記憶素子領域においては、選択酸化のマスクとなる窒化珪素膜5の膜厚が200nmと厚いため、フィールド酸化膜の横方向への伸びを抑える力が強く、その伸びは片側で約0.1μmで下面の角度は約70度である。以後の製造工程の説明は、第1の実施例と同様であるため割愛する。

【0043】〈実施例6〉次に図7を用いて本発明の第6の実施例を説明する。ここで図7(a)に示す窒化珪素膜5のパターニングまでは前記の第5の実施例の図6(b)までと同一である。この後、素子分離領域の露出した酸化膜3を希釈したフッ酸水溶液によって除去し、ついで図7(b)に示すように、図4(b)と同様に前記除去した酸化膜3の半分以上の膜厚である20nmの薄い窒化珪素膜6を堆積し、ついで同じく化学気相成長法により厚さ150nm程度の酸化膜7を堆積する。この後図7(c)に示すように、先程の厚い酸化膜7へ異方性のドライエッチングを施し、窒化珪素膜5の側壁のみに酸化膜8を残存させる。この残存させた酸化膜8をマスクにしてさらに薄い窒化珪素膜6をエッチングする。この手法は、図5に示した第4の実施例と同様である。

【0044】この際記憶素子領域と周辺素子領域においては窒化珪素膜5の膜厚が違うため、薄い窒化珪素膜6の横方向への張出しは、図7(d)、(e)に示す拡大

図のように、記憶素子領域で長くなる。従って薄い窒化珪素膜6と半導体基板1が直接に接する領域の断面における長さは、周辺素子領域がL1であるのに対し、記憶素子領域においてはL2である。そのため選択酸化によってフィールド酸化膜を形成する際、その横方向への延びをL1よりも長く、かつL2よりも短くすれば、記憶素子領域におけるフィールド酸化膜の横方向への延びを抑えたまま、周辺素子領域におけるフィールド酸化膜の横方向への延びを長くすることができる。これは、パズピークの端部が薄い窒化珪素膜6と半導体基板1が直接に接する領域を追い越して酸化膜3と接することにより延びやすくなるためである。またここで、周辺素子領域においては選択酸化のマスクとなる窒化珪素膜5の膜厚が薄いため、さらにフィールド酸化膜の横方向への延びは起こりやすくなっている。フィールド酸化膜形成以後の工程の説明は、第1の実施例と同様であるため割愛する。

【0045】本実施例によれば、選択酸化のマスクとなる窒化珪素膜5の膜厚だけでなく、薄い窒化珪素膜6の張り出しの長さも変えることができるため、パズピークの形状の違いを出すためにはより効果的である。

【0046】〈実施例7〉第6の実施例においては、選択酸化の際のマスクとなる窒化珪素膜5の膜厚を変えることにより、薄い窒化珪素膜6の張り出し（薄い窒化珪素膜6と半導体基板1との直接接する部分）の長さを変えたが、他の手法によって同様の効果を得ることを第7の実施例として、図8の製造工程断面図を用いて説明する。まず図8(a)に示すように、基板の不純物濃度が $10^{17}/\text{cm}^3$ 程度の半導体基板1の主面上に、熱酸化法により厚さ10nm程度の酸化膜3を形成し、ついで化学気相成長法により厚さ200nm程度の窒化珪素膜5を堆積する。これにホトレジスト10のパターンニングとドライエッチングにより素子分離領域上の窒化珪素膜5を除去する。

【0047】つぎの図8(b)に示すように、ホトレジスト4で周辺素子領域を覆い、記憶素子領域の露出した酸化膜3を希釈したフッ酸水溶液等で一旦除去する。この後ホトレジスト4を除去し、さらに全面を希釈したフッ酸水溶液等でエッチングし、周辺素子領域の露出した酸化膜3を除去する。この際、記憶素子領域においては酸化膜3のエッチングが周辺素子領域に比べ窒化珪素膜5下の奥にまで進む。これはフッ酸水溶液等によるエッチングが等方的であり、記憶素子領域におけるエッチング時間を長くしているためである。ここで、記憶素子領域のみの酸化膜3のエッチングと全面における酸化膜3のエッチングは順番を逆にしても同じ結果が得られる。

【0048】ついで図8(c)に示すように、薄い窒化珪素膜6を堆積し、ついで異方性のドライエッチングを施すことにより素子分離領域の薄い窒化珪素膜6を除去するが、残存した窒化珪素膜6と半導体基板1の直接

接する領域は、記憶素子領域が $0.1\mu\text{m}$ であり、周辺素子領域の $0.05\mu\text{m}$ に比べ長くなる。この長さは、上記それぞれの希釈したフッ酸水溶液のエッチング条件によって制御が可能である。

【0049】一方ここで、窒化珪素膜5の側壁に薄い窒化珪素膜6の張り出しを設けるような構造にするためには、前記の第6の実施例における図7の様な手法を用いればよいが、この場合は、窒化珪素膜5の膜厚が記憶素子領域と周辺素子領域で同じであるため、張り出し長さは両者で同じとなる。

【0050】ついで図8(d)に示すように、窒化珪素膜5をマスクとして選択酸化を行い素子分離領域にフィールド酸化膜2を形成するが、薄い窒化珪素膜6が半導体基板1と直接接している領域は記憶素子領域が $0.1\mu\text{m}$ であり、周辺素子領域の $0.05\mu\text{m}$ に比べ約 $0.05\mu\text{m}$ 長くなっている。そのため第6の実施例と同様にフィールド酸化の条件を調整し、例えば記憶素子領域でのパズピークの延びを $0.07\mu\text{m}$ とすることで、記憶素子領域におけるフィールド酸化膜の横方向への延びを抑えたまま、周辺素子領域におけるフィールド酸化膜の横方向への延びを長くすることができる。

【0051】〈実施例8〉上記実施例は、すべて記憶素子領域、周辺素子領域ともにフィールド酸化膜を選択酸化によって形成したが、第8の実施例として、記憶素子領域と周辺素子領域において素子分離形成法を変えた場合について、図9の製造工程断面図を用いて説明する。

【0052】まず図9(a)に示すように、基板の不純物濃度が $10^{17}/\text{cm}^3$ 程度の半導体基板1の主面上に、熱酸化法により厚さ15nm程度の酸化膜3を形成し、ついで化学気相成長法により厚さ200nm程度の窒化珪素膜5を堆積する。これにホトレジスト10のパターンニングとドライエッチングにより素子分離領域上の窒化珪素膜5を除去する。

【0053】ついで図9(b)に示すように、周辺素子領域をホトレジスト4で覆い、このホトレジスト4及び記憶素子領域の窒化珪素膜5をマスクとして露出した記憶素子領域の酸化膜3を一旦除去して半導体基板1を露出させ、さらに露出した半導体基板1をエッチングし、素子分離領域に深さ $0.5\mu\text{m}$ 程度の溝11を形成する。

【0054】ついで一旦前記ホトレジスト4を除去した後、図9(c)に示すように、半導体基板1に対して 1000°C 程度での熱酸化を施し、溝11内に厚さ20nm程度の熱酸化膜12を形成し、さらに化学気相成長法により厚さ50nm程度の窒化珪素膜13を全面に堆積する。

【0055】ついで図9(d)に示すように、厚さ $1.0\mu\text{m}$ 程度の熱流動性の有るリンガラスからなる絶縁膜14を堆積した後、この後の工程で用いる最高温度よりも高い温度で熱処理を行い、先程堆積した絶縁膜14を

フローさせ、半導体基板1表面を一旦平坦にする。この後全面をエッチバックし、周辺素子領域の素子分離領域に堆積された前記窒化珪素膜13が露出するまで、絶縁膜14をエッチングする。エッチバックの詳細な手法等については、本発明の本質ではないため割愛する。

【0056】これにより図9(e)に示す如く、絶縁膜14は記憶素子領域の素子分離領域に形成した溝の内部にのみ残すことが出来る。この後、異方性のドライエッチングにより窒化珪素膜13をエッチングし、周辺素子領域の素子分離領域の薄い窒化珪素膜13を除去し酸化膜3を露出させ、窒化珪素膜5をマスクとした選択酸化を施すことにより、フィールド酸化膜を形成する。この時フィールド酸化膜は、周辺素子領域の酸化膜3の露出した素子分離領域には成長するが、記憶素子領域は耐酸化性絶縁膜である窒化膜5及び薄い窒化膜13で覆われているために、選択酸化によるフィールド酸化膜は形成されない。なおこれ以降の工程は、前記他の実施例と同様なため、説明を省略する。

【0057】従って本発明によれば、フィールド酸化膜を周辺素子領域にのみ形成でき、そのフィールド酸化膜の横方向への伸びも周辺素子領域にのみ存在する。これによって周辺素子領域のフィールド酸化膜の下面の角度は他の実施例と同様に約50度となり、記憶素子領域においては溝の形状によってフィールド酸化膜の下面の角度が決定される。

【0058】以上述べてきた実施例は、キंकの発生する周辺素子領域のバースピークを延ばすものであった。一方記憶素子領域においては、キंकは発生しないものの、逆狭チャネル効果によってしきい値電圧が低下するという問題がある。以下に、特に記憶素子領域のようなチャネル幅の狭い素子のしきい値電圧低下を防止する方法の実施例について説明する。

【0059】〈実施例9〉図14を用いて、本発明の第9の実施例を工程を追って説明する。まず図14(a)に示すように、基板の不純物濃度が $10^{15}/\text{cm}^3$ 程度の半導体基板1の主面上に、熱酸化法により厚さ15nm程度の酸化膜3を形成し、一旦全面に例えば $1 \times 10^{13}/\text{cm}^3$ 程度の硼素を打ち込みエネルギー20keV程度で注入した後、周辺素子領域を厚さ1 μm 程度のホトレジスト4で覆った後、記憶素子領域に硼素を $2 \times 10^{13}/\text{cm}^3$ 程度を打ち込みエネルギー20keV程度で注入する。これにより半導体基板1表面への不純物25の注入量を周辺素子領域より記憶素子領域で $2 \times 10^{13}/\text{cm}^3$ 多くする。このイオン注入工程は、その順を逆にしてもよい。

【0060】つぎに図14(b)に示すように、上記ホトレジスト4を一旦除去し、1200℃、4時間程度の熱処理を施し、不純物25を半導体基板1内へ拡散させ、不純物層26を形成する。そのため、半導体基板1の表面不純物濃度は、周辺素子領域に比べ記憶素子領域

で約2.5倍程度高くなる。さらに、再度周辺素子領域を厚さ1 μm 程度のホトレジスト4で覆った後、記憶素子領域の酸化膜3を除去する。

【0061】つぎに、図14(c)に示すように全面に厚さ150nm程度の窒化珪素膜5を堆積し、ついで公知のリソグラフィとドライエッチングにより素子分離領域の前記窒化珪素膜5を除去する。これは第2の実施例と同じ手法である。あとは、第2の実施例と同様に、窒化珪素膜5をマスクとした選択酸化を行うことにより、素子分離領域にフィールド酸化膜を形成する。

【0062】本実施例においては、素子分離領域のフィールド酸化膜を形成する前に、不純物層26を形成したが、これを逆にし、フィールド酸化膜形成後に多段のイオン注入を周辺素子領域と記憶素子領域とで個別に行って形成することも可能である。また本実施例においては、フィールド酸化膜の形成方法として本発明の第2の実施例の手法を用いたが、他の実施例の手法を組み合わせてもよく、同様の効果が得られる。そのためこれ以降の工程の詳細は割愛する。

【0063】〈実施例10〉つぎに半導体基板表面の不純物濃度を変える他の実施例について、図15を用いて説明する。表面の不純物濃度が一様($1 \times 10^{11}/\text{cm}^3$)な半導体基板1上に、素子分離のためのフィールド酸化膜2を第2の実施例と同様な方法により形成し、ついで素子領域の窒化珪素膜を除去する。つぎに、半導体基板1の表面へ周辺素子領域のMOSトランジスタのしきい値電圧設定のための第1回目の硼素を全面に $1 \times 10^{12}/\text{cm}^3$ 程度注入した後、周辺素子領域を厚さ1 μm 程度のホトレジスト4で覆い、さらに記憶素子領域へ、第2回目の硼素を $5 \times 10^{11}/\text{cm}^3$ 程度注入し、第1回目の硼素イオン注入の不足分を補う。これにより記憶素子領域の半導体基板1表面濃度を、周辺素子領域より高くすることができる。

【0064】このイオン注入工程は、逆にしてもよい。また、記憶素子領域を覆うイオン注入のマスクを別途作成し、まず記憶素子領域をホトレジストで覆い、周辺素子領域に $1 \times 10^{12}/\text{cm}^3$ 程度硼素を注入した後、ついで逆に周辺素子領域をホトレジストで覆い、記憶素子領域に $1.5 \times 10^{12}/\text{cm}^3$ 程度硼素を注入するといった個別のイオン注入を行っても良い。またこの工程は、逆でもよい。また、フィールド酸化膜2の形成は、第1又は第3から第8の実施例のいずれかの方法によってもよい。

【0065】以上に第9及び第10の実施例におけるイオン注入条件は、あくまで一例であり、適用する製品やフィールド酸化膜の形状等によって異なるものである。

【0066】〈実施例11〉つぎに周辺素子領域と記憶素子領域でゲート絶縁膜の膜厚を変える、第11の実施例について図16を用いて説明する。まず図16(a)に示すように、上記の第2の実施例によって半導体基板

1の表面に素子分離用のフィールド酸化膜2を形成した後、素子領域へ厚さ10nm程度のゲート酸化膜17'を熱酸化で形成する。つぎに記憶素子領域をホトレジスト9で覆った後、露出した周辺素子領域のゲート絶縁膜17'を希釈したフッ酸水溶液等で除去する。この後先程のホトレジスト9を除去した後、再度熱酸化を施すことにより、周辺素子領域の素子領域へ厚さ10nm程度のゲート絶縁膜17を形成する。その結果、先程の図16(a)で記憶素子領域のゲート絶縁膜17'を残したために、図16(b)に示すように、記憶素子領域のゲート絶縁膜17'は周辺素子領域のゲート絶縁膜17よりも厚く、約14nmとなる。

【0067】後は図16(c)に示すように従来のMIS型電界効果トランジスタの製造方法に従いゲート電極18、18'及び拡散層27等を形成する。この後の配線形成等の工程は、本発明の本質ではないため割愛する。

【0068】なお、フィールド酸化膜の形成は、第1又は第3から第8の実施例のいずれかの方法によってもよい。また、本実施例においては、ゲート絶縁膜を熱酸化によって形成したが、他の方法、例えば化学気相成長法によって形成することも可能である。また他の絶縁物質を適用することも可能である。また、前記第9及び第10の実施例と組み合わせることも可能である。この場合は、記憶素子領域の基板1表面濃度が高いため、ゲート絶縁膜厚を記憶素子領域で12nmとする必要があり、この場合は1回目のゲート絶縁膜17'の膜厚を5nm程度にする。

【0069】以上の、第9から第11の実施例を用いることにより、記憶素子領域におけるMOSトランジスタのしきい値電圧の低下を防止し、記憶保持特例の劣化を回避することが可能となる。

【0070】以上述べた実施例において、半導体基板1の不純物濃度は一義的に $1 \times 10^{11} / \text{cm}^3$ 程度としたが、この濃度は適用する半導体集積回路装置の種類或いは製造技術によって異なるものである。またこれは、他の条件である膜厚や不純物量も同様である。一方フィールド酸化膜を形成する酸化温度に関しては、高温であるほどバースピークを延ばさない記憶素子領域での結晶欠陥の発生が抑制され、1100℃程度での酸化が望ましい。

【0071】さらに以上述べてきた実施例においては、簡略化のために、半導体基板上に形成するMOSトランジスタを1導電型となるようにしたが、本発明は相補型の半導体装置へも適用可能であり、この場合、第1導電型の半導体基板表面を第1導電型及び第2導電型に区画すればよい。

【0072】

【発明の効果】以上述べたような本発明によれば、チャネル幅の広い周辺の素子領域において、フィールド酸化

膜の横方向への延び（バースピーク）を長くすることにより、素子端部におけるフィールド酸化膜内と半導体基板内のポテンシャル分布差によって誘起されるポテンシャル分布の歪みを小さくでき、キンクの発生を抑制することが可能となる。これにより、素子端部における基板の不純物濃度を上げる必要が無くなり、拡散層の接合特性の劣化を抑制することが出来る。

【0073】またフィールド酸化膜の横方向への延びを長くできないチャネル幅の短い記憶素子領域においては、キンクが発生しやすいような形状であるが、隣接する素子分離幅が短いために、前記フィールド酸化膜中へのポテンシャルが深くまで分布しないため、前記周辺の素子領域と同様に素子端部におけるポテンシャル分布の歪みが小さく、キンクが発生しづらい。

【0074】さらに逆狭チャネル効果によってしきい値電圧の低下する記憶素子領域で用いているチャネル幅の狭い素子では、基板表面濃度を上げるか、ゲート絶縁膜厚を厚くすることによってしきい値電圧の低下が回避され、記憶素子の保持特性の劣化や消費電流の増加を防止することができる。

【図面の簡単な説明】

【図1】本発明の一例のフィールド酸化膜断面構造図及びその特性図。

【図2】本発明の第1の実施例の製造工程断面図。

【図3】本発明の第2の実施例の製造工程断面図。

【図4】本発明の第3の実施例の製造工程断面図。

【図5】本発明の第4の実施例の製造工程断面図。

【図6】本発明の第5の実施例の製造工程断面図。

【図7】本発明の第6の実施例の製造工程断面図。

【図8】本発明の第7の実施例の製造工程断面図。

【図9】本発明の第8の実施例の製造工程断面図。

【図10】第1の従来のキンク対策例の断面図。

【図11】第2の従来のキンク対策例の鳥瞰図。

【図12】ポテンシャル分布へのフィールド酸化膜形状の影響を説明するための図。

【図13】しきい値電圧への素子分離寸法依存性を示す図。

【図14】本発明の第9の実施例の製造工程断面図。

【図15】本発明の第10の実施例の製造工程断面図。

【図16】本発明の第11の実施例の製造工程断面図。

【符号の説明】

1…半導体基板

2…フィールド酸化膜

3、7、8…酸化膜

4、9、10…ホトレジスト

5、5'、6、13…窒化珪素膜

11…溝

12…熱酸化膜

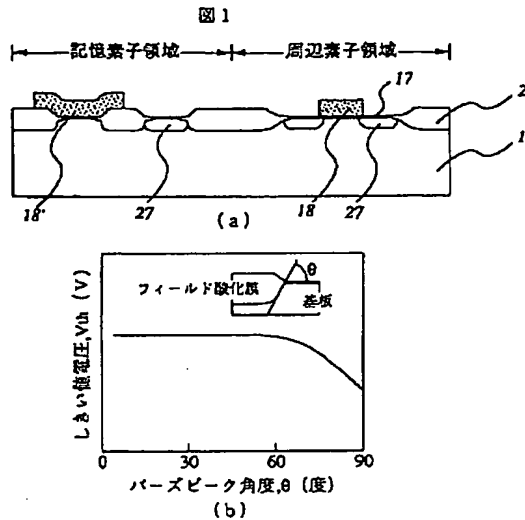
14…絶縁膜

15…p層

- 16…ポテンシャルの等電位線
 17、17'…ゲート絶縁膜
 18、18'…ゲート電極
 19…多結晶珪素膜
 20…バンチスルーストップバ層
 21…基板表面

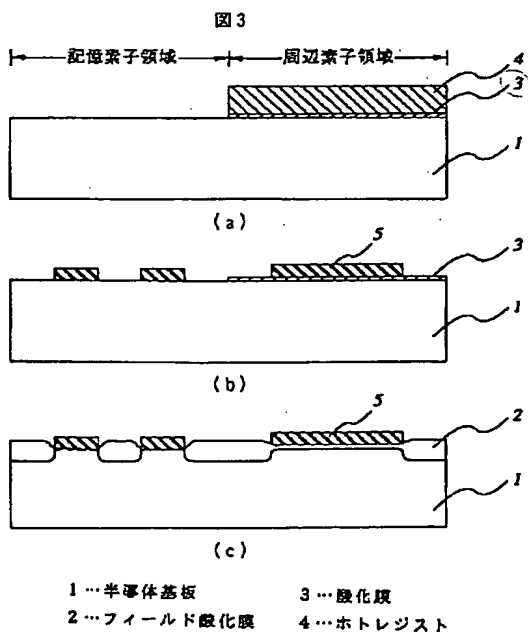
- 22、23…側面
 24…底面
 25…不純物
 26…不純物層
 27…拡散層

【図1】

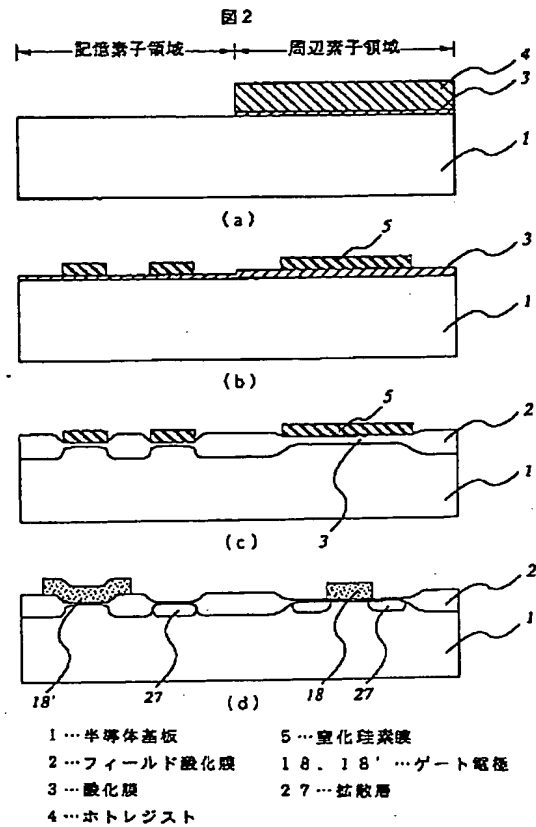


- 1…半導体基板
 2…フィールド酸化膜
 17…ゲート絶縁膜
 18、18'…ゲート電極
 27…拡散層

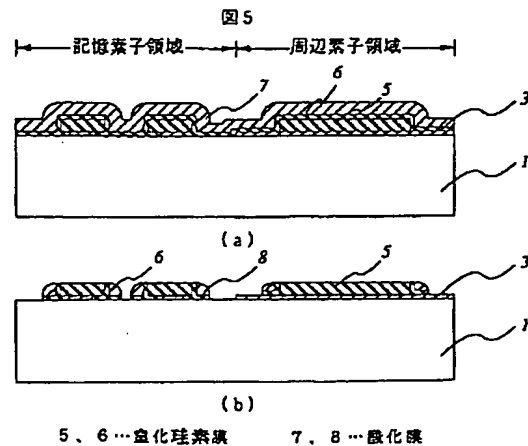
【図3】



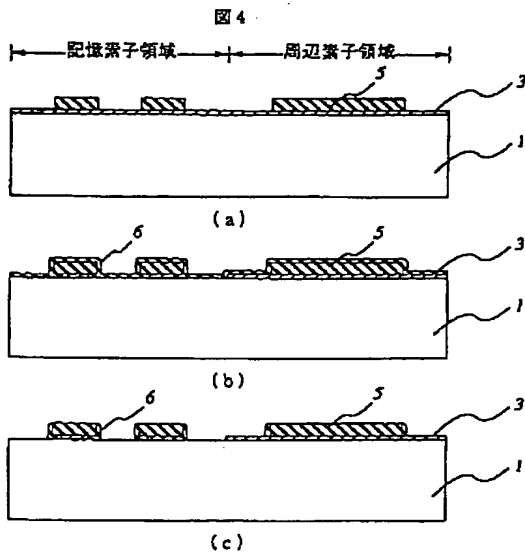
【図2】



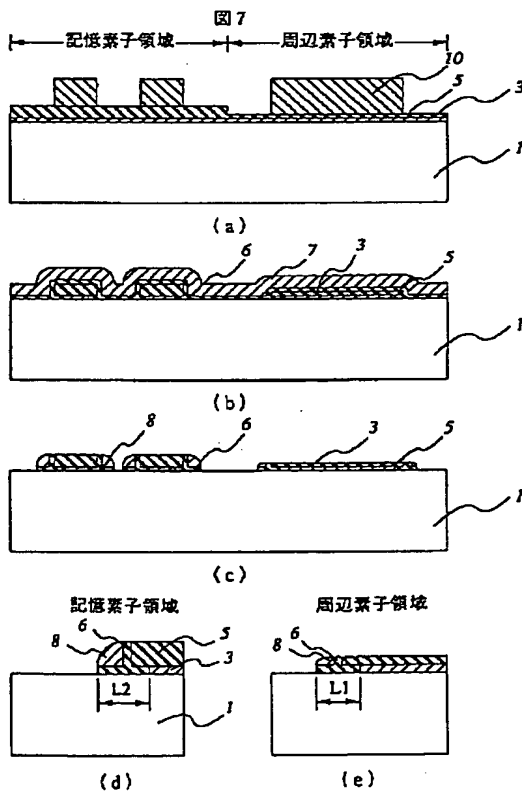
【図5】



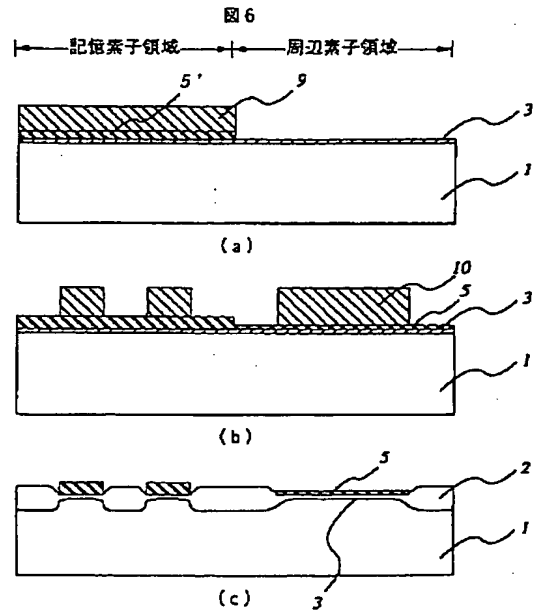
【図4】



【図7】

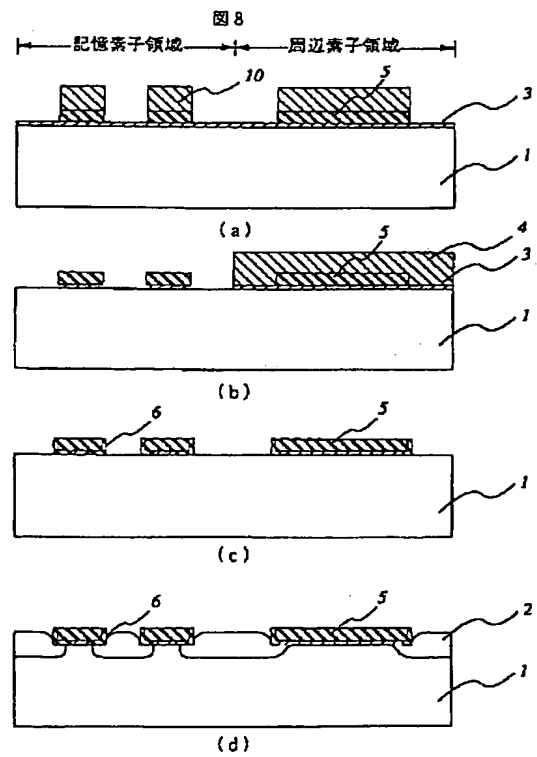


【図6】

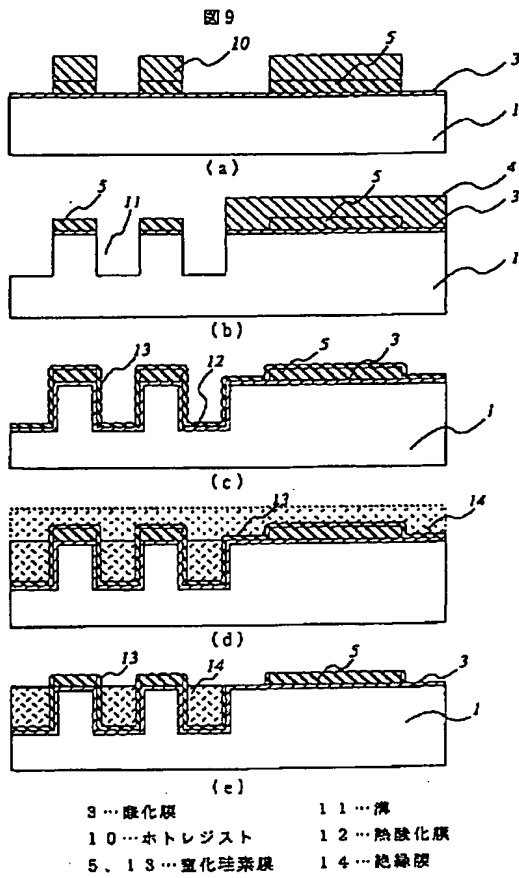


2...フィールド酸化膜 5...窒化珪素膜
3...酸化膜 9、10...ホトレジスト

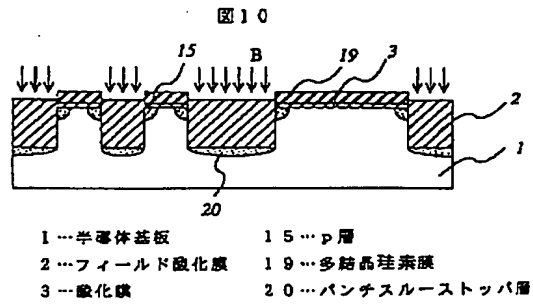
【図8】



【図9】

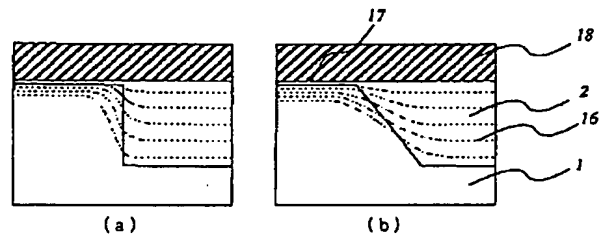


【図10】



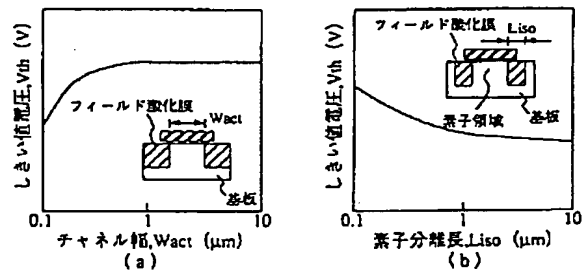
【図12】

図12



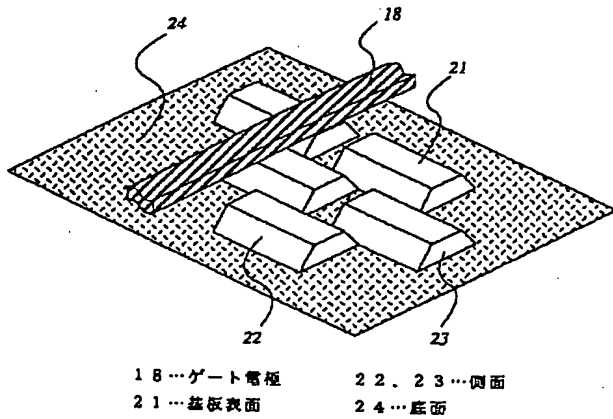
【図13】

図13



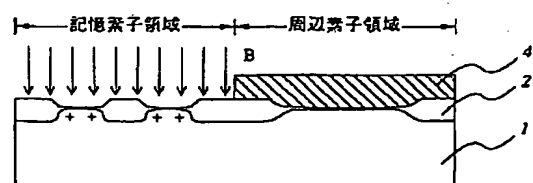
【図11】

図11

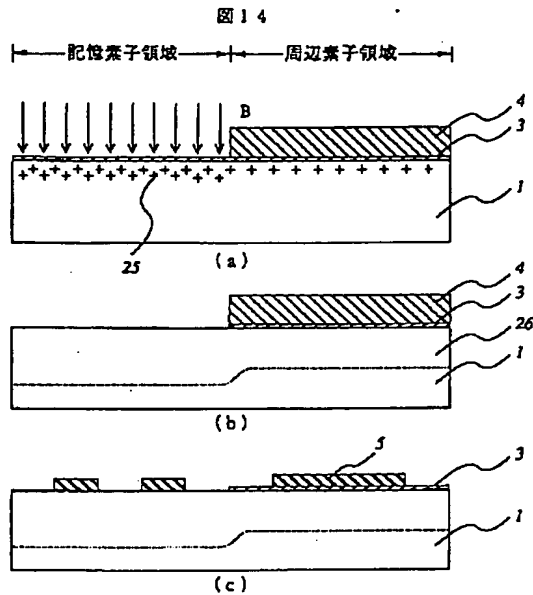


【図15】

図15

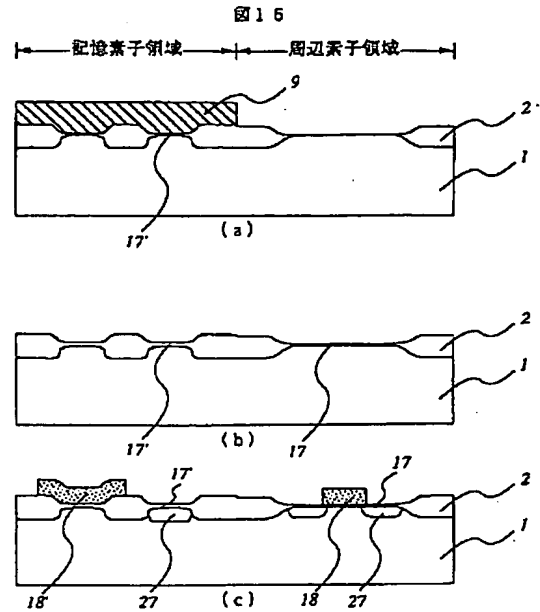


【図14】



3…酸化膜 25…不純物
4…ホトレジスト 26…不純物層
5…窒化珪素膜

【図16】



フロントページの続き

(72)発明者 山中 俊明
東京都国分寺市東恋ヶ窪1丁目280番地株
式会社日立製作所中央研究所内
(72)発明者 橋本 孝司
東京都国分寺市東恋ヶ窪1丁目280番地株
式会社日立製作所中央研究所内

(72)発明者 清水 昭博
東京都小平市上水本町5丁目20番1号日立
超エル・エス・アイ・エンジニアリング株
式会社内
(72)発明者 大木 長斗司
東京都小平市上水本町5丁目20番1号日立
超エル・エス・アイ・エンジニアリング株
式会社内
(72)発明者 石田 浩
東京都小平市上水本町5丁目20番1号日立
超エル・エス・アイ・エンジニアリング株
式会社内